

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07105169 A**(43) Date of publication of application: **21 . 04 . 95**

(51) Int. Cl.

G06F 15/78
G06F 9/06
G06F 12/14
G06F 12/16

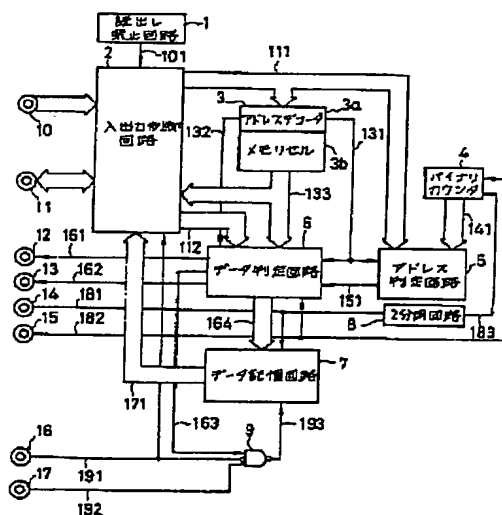
(21) Application number: **05276107**(71) Applicant: **NEC CORP**(22) Date of filing: **06 . 10 . 93**(72) Inventor: **ANDOU HIROAKI**(54) **SINGLE-CHIP MICROCOMPUTER**

(57) Abstract:

PURPOSE: To collate program memory storage information by improving secret protection.

CONSTITUTION: An address decision circuit 5 compares address information inputted from outside a chip with the output data of a binary counter 4 and stores the result. A data decision circuit 6 compares program information inputted from outside the chip with the output data of a program memory 3 and stores the result. When the decision result of the address decision circuit 5 indicates a discrepancy, the decision result of the data decision circuit 6 is inhibited from being outputted to outside the chip after all program information is collated. Output data of the program memory 3 which becomes discrepant when only the decision result of the data decision circuit 6 indicates a discrepancy are stored in a data storage circuit 7, whose contents are outputted to outside the chip at a specific timing.

COPYRIGHT: (C)1995,JPO



THIS PAGE IS BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-105169

(43) 公開日 平成7年(1995)4月21日

(51) IntCl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 C			
9/06	5 5 0 Y	9367-5B		
12/14	3 2 0 A			
12/16	3 3 0 A	9293-5B		

審査請求 有 請求項の数 3 F D (全 9 頁)

(21) 出願番号 特願平5-276107

(22) 出願日 平成5年(1993)10月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 洋章

東京都港区芝五丁目7番1号 日本電気株式会社内

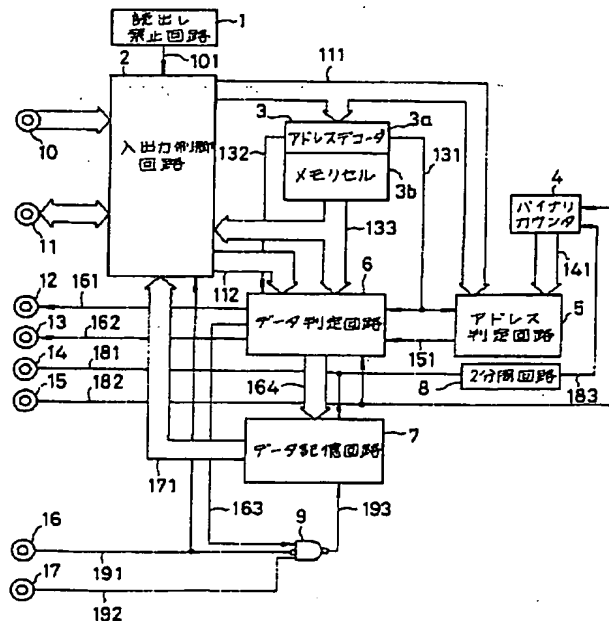
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 シングルチップマイクロコンピュータ

(57) 【要約】

【目的】 機密保護性を向上させ、プログラムメモリ記憶情報の照合を可能とする。

【構成】 チップ外部から入力されるアドレス情報とバイナリカウンタ4の出力データとをアドレス判定回路5にて比較判定して結果を記憶する。データ判定回路6はチップ外部から入力されるプログラム情報とプログラムメモリ3の出力データとを比較判定して結果を記憶する。アドレス判定回路5での判定結果が不一致のときに全プログラム情報の照合後のデータ判定回路6の判定結果のチップ外部への出力を禁止する。データ判定回路6の判定結果のみが不一致のときに不一致を生じたプログラムメモリ3の出力データをデータ記憶回路7に記憶し、その内容を特定のタイミングでチップ外部に出力する。



【特許請求の範囲】

【請求項 1】 プログラムメモリと、前記プログラムメモリの記憶内容の外部への出力を禁止する読出し禁止手段と、前記読出し禁止手段により前記記憶内容の外部への出力が禁止された状態で外部から入力された外部アドレス情報に対応する前記記憶内容と外部から入力された外部プログラムデータとを比較判定するデータ判定手段とを含むシングルチップマイクロコンピュータであって、前記外部アドレス情報が終了アドレス情報か否かを検出するアドレス検出手段と、予め設定されたアドレス情報を発生するアドレス発生手段と、前記アドレス発生手段が発生するアドレス情報と前記外部アドレス情報とを比較判定するアドレス判定手段と、前記データ判定手段の判定結果を保持する保持手段と、前記アドレス検出手段で前記終了アドレス情報が検出されたときに前記保持手段の保持内容を外部に出力する出力手段と、前記アドレス判定手段で不一致が検出されたときに前記出力手段による前記保持手段の保持内容の外部への出力を禁止する手段と、前記データ判定手段が不一致を検出したときに前記外部アドレス情報に対応する前記記憶内容を格納する格納手段と、外部信号に応じて前記格納手段の格納内容を外部に出力する手段とを有することを特徴とするシングルチップマイクロコンピュータ。

【請求項 2】 前記アドレス発生手段は、連続したアドレス情報を発生するよう構成されたことを特徴とする請求項 1 記載のシングルチップマイクロコンピュータ。

【請求項 3】 前記アドレス発生手段は、不連続のアドレス情報を発生するよう構成されたことを特徴とする請求項 1 記載のシングルチップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はシングルチップマイクロコンピュータに関し、特にプログラムメモリの読出しを禁止する禁止回路を内蔵するシングルチップマイクロコンピュータにおける読出し禁止後のプログラムメモリ記憶情報の照合方法に関する。

【0002】

【従来の技術】 従来、シングルチップマイクロコンピュータにおいては、通常、プログラムメモリが内蔵されている。特にプログラムメモリが PROM で構成されている場合、プログラム情報の書込み読出しは汎用の PROM ライタによって容易に行えるため、機密保護の点で問題がある。

【0003】 この問題については、プログラムメモリの読出し禁止回路における読出し禁止方法として各種方法が解決策として提案されている。

【0004】 例えば、プログラムメモリが PROM で構成されている場合、読出し禁止回路に PROM セルで構成されかつアドレスマッピングされた読出し禁止ビットとバス制御回路とを設け、読出し禁止ビットにデータを

ライトすることでバス制御回路を制御して PROM からデータバスへのデータ出力を禁止している。この技術については、特開昭 62-194565 号公報に詳述されている。

【0005】 これによって、PROM に記憶された情報のチップ外部への出力が禁止される。この方法では読出し禁止ビットに一旦データをライトするとデータの変更が不可能となるため、以後プログラムメモリの記憶情報は完全に読出せなくなる。

10 【0006】 上述した読出し禁止方法では機密保護性は高いが、テスト時や不良解析時等にプログラム情報を照合する必要性が生じても、プログラム情報の照合が行えなくなるという問題がある。

【0007】 また、この方法ではメーカがユーザプログラムを書込んでから出荷する時、ユーザが受入れ検査時にプログラム情報を確認することができないという問題がある。

20 【0008】 上記の問題を解決する方法として、チップ外部からアドレス情報及びデータ情報を入力し、外部入力データ情報とプログラムメモリ記憶情報との比較判定をチップ内部で行い、その判定結果のみをチップ外部に出力するという方法がある。この方法については、特公昭 61-016094 号公報に詳述されている。

【0009】 この場合、プログラムメモリ記憶情報を知っていれば、そのプログラムメモリ記憶情報を外部から入力することでプログラムメモリに書込んだ情報と照合することができる。

【0010】

30 【発明が解決しようとする課題】 上述した従来の読出し禁止状態のプログラムメモリに対する機密保護性の保持方法では、外部から入力されたプログラムデータ情報とプログラムメモリ記憶情報との照合結果を 1 アドレス毎にチップ外部に出力する構成となっているため、例えばデータ長が 8 ビットの場合、1 アドレスについて 2⁸ 通りのデータを試行することで、プログラムメモリの記憶情報を知ることができる。

40 【0011】 したがって、上記の処理を全てのプログラムアドレスについて繰返し行えば、第三者でもプログラム情報を知ることが可能であるため、機密保護性が低いという欠点がある。

【0012】 そこで、本発明の目的は上記欠点を除去し、機密保護性を向上させることができ、プログラムメモリ記憶情報の照合が可能なシングルチップマイクロコンピュータを提供することにある。

【0013】

50 【課題を解決するための手段】 本発明によるシングルチップマイクロコンピュータは、プログラムメモリと、前記プログラムメモリの記憶内容の外部への出力を禁止する読出し禁止手段と、前記読出し禁止手段により前記記憶内容の外部への出力が禁止された状態で外部から入力

3

された外部アドレス情報に対応する前記記憶内容と外部から入力された外部プログラムデータとを比較判定するデータ判定手段とを含むシングルチップマイクロコンピュータであって、前記外部アドレス情報が終了アドレス情報か否かを検出するアドレス検出手段と、予め設定されたアドレス情報を発生するアドレス発生手段と、前記アドレス発生手段が発生するアドレス情報と前記外部アドレス情報とを比較判定するアドレス判定手段と、前記データ判定手段の判定結果を保持する保持手段と、前記アドレス検出手段で前記終了アドレス情報が検出されたときに前記保持手段の保持内容を外部に出力する出力手段と、前記アドレス判定手段で不一致が検出されたときに前記出力手段による前記保持手段の保持内容の外部への出力を禁止する手段と、前記データ判定手段が不一致を検出したときに前記外部アドレス情報に対応する前記記憶内容を格納する格納手段と、外部信号に応じて前記格納手段の格納内容を外部に出力する手段とを具備している。

【0014】

【実施例】次に、本発明について図面を参照して説明する。

【0015】図1は本発明の一実施例の構成を示すブロック図である。図において、プログラム情報の比較判定部は読出し禁止回路1と、入出力制御回路2と、プログラムメモリ3と、バイナリカウンタ4と、アドレス判定回路5と、データ判定回路6と、データ記憶回路7とから構成され、シングルチップマイクロコンピュータに内蔵されている。

【0016】読出し禁止回路1は読出し禁止信号101を入出力制御回路2に出力することで、プログラムメモリ記憶情報のチップ外部への出力を禁止する。この読出し禁止信号101は禁止状態の指定時に“1”となる。

【0017】入出力制御回路2は読出し禁止信号101と入力端子16からのI/Oコントロール信号191とに応じてアドレス入力端子10及びデータ入出力端子11の入出力方向を制御する。

【0018】アドレス入力端子10は読出し禁止信号101が“1”の時に入力となる。また、アドレス入力端子10はチップ外部から与えるアドレスデータをチップ内部に取込み、当該アドレスデータを入出力制御回路2及びアドレスバス111を介してプログラムメモリ3とアドレス判定回路5とに夫々供給する。

【0019】データ入出力端子11は読出し禁止信号101が“1”で、I/Oコントロール信号191が“1”の時に入力となり、I/Oコントロール信号191が“0”の時に出力となる。

【0020】データ入出力端子11は入力の時、チップ外部から与えるプログラムデータをチップ内部に取込み、当該プログラムデータを入出力制御回路2及びデータバス112を介してデータ判定回路6に供給する。ま

4

た、データ入出力端子11は出力の時、入出力制御回路2及びデータバス112を介して入力されるデータ記憶回路7の出力情報をチップ外部に出力する。

【0021】プログラムメモリ3はアドレスデコーダ3aとメモリセル3bとから構成され、プログラム情報を記憶している。また、プログラムメモリ3はアドレスバス111を介して供給されるアドレス情報に対応する記憶情報をデータバス133を介して入出力制御回路2及びデータ判定回路6に供給する。

10 【0022】アドレスデコーダ3aはプログラム情報の比較開始アドレスをデコードすると開始信号131を“1”とし、プログラム情報の比較終了アドレスをデコードすると終了信号132を“1”とする。

【0023】バイナリカウンタ4は8ビットの2進カウンタであり、比較モード信号182の立上りエッジに同期して計数値を“FFH”に初期化する。その後、バイナリカウンタ4はクロック信号181を2分周回路8で分周した分周信号183の立上りエッジに同期してインクリメントし、その計数値をアドレスバス141を介してアドレス判定回路5に供給する。

【0024】アドレス判定回路5はアドレスバス111を介して供給される外部入力アドレスデータと、アドレスバス141を介して供給されるバイナリカウンタ4の出力データとを比較する。

【0025】アドレス判定回路5はその結果をアドレス判定信号151としてデータ判定回路6に出力する。アドレス判定信号151は外部入力アドレスデータとバイナリカウンタ4の出力データとが一致している時に“1”となり、不一致の時に“0”となる。

30 【0026】データ判定回路6はデータバス112を介して供給される外部入力プログラムデータと、データバス133を介して供給されるプログラムメモリ3の出力データとを比較する。

【0027】データ判定回路6は比較モード信号182が“1”、アドレスデコーダ3aからの終了信号132が“1”、アドレス判定回路5からのアドレス判定信号151が“1”の時に一致終了信号161を出力端子12に出力し、不一致終了信号162を出力端子13に出力する。

40 【0028】データ記憶回路7はデータ判定回路6の判定結果が不一致で、かつナンド回路9からのクリア信号193が“0”の時に、データバス164を介して供給されるデータ判定回路6の出力データをクロック信号181の立下りエッジに同期して記憶する。また、データ記憶回路7はその記憶情報を入出力制御回路2及びデータバス171を介してデータ入出力端子11に出力する。

50 【0029】ナンド回路9はデータ判定回路6からのデータ不一致信号163とI/Oコントロール信号191の反転値と許可信号192とのナンドをとり、その結果

をクリア信号193としてデータ記憶回路7に出力する。

【0030】すなわち、ナンド回路9からデータ記憶回路7へのクリア信号193はデータ不一致信号163が“1”、I/Oコントロール信号191が“0”、許可信号192が“1”の時に“0”となる。

【0031】ここで、端子14はクロック信号181の入力端子であり、端子15は比較モード信号182の入力端子である。また、端子16はI/Oコントロール信号191の入力端子であり、端子17は許可信号192の入力端子である。

【0032】図2は図1のアドレス判定回路5の構成を示すブロック図である。図において、アドレス判定回路5は比較回路51～58と、論理和回路59と、RSフリップフロップ（以下FFとする）60とから構成されている。ここで、A0～A7はバイナリカウンタ4の出力データの各ビットを示し、B0～B7は外部入力アドレスデータの各ビットを示している。

【0033】比較回路51～58はバイナリカウンタ4の出力データA0～A7及び外部入力アドレスデータB0～B7の各ビット毎に排他的論理和をとり、それらのデータが不一致の時に不一致ビットに対応する出力信号を“1”とする。

【0034】論理和回路59は比較回路51～58の出力信号の論理和をとり、アドレス不一致信号150を出力する。アドレス不一致信号150は比較回路51～58の出力信号が一つでも“1”になると、つまりアドレスデータが1ビットでも異なる場合に“1”となる。

【0035】FF60は開始信号131の立上りエッジに同期してアドレス判定信号151を“1”に初期化する。また、FF60は論理和回路59からのアドレス不一致信号150が“1”になるとリセットされ、アドレス判定信号151を“0”にする。尚、FF60は一度リセットされると、以後出力状態を保持する。

【0036】図3は図1のデータ判定回路6の構成を示すブロック図である。図において、データ判定回路6は比較回路61～68と、論理和回路69と、RSフリップフロップ（以下FFとする）70と、論理積回路71、72とから構成されている。ここで、PD0～PD7はプログラムメモリ3の出力データの各ビットを示し、D0～D7は外部入力プログラムデータの各ビットを示している。

【0037】比較回路61～68はプログラムメモリ3の出力データPD0～PD7及び外部入力プログラムデータD0～D7の各ビット毎に排他的論理和をとり、それらのデータが不一致の時に不一致ビットに対応する出力信号を“1”とする。このとき、プログラムメモリ3の出力データPD0～PD7はデータバス164を介してデータ記憶回路7に出力される。

【0038】論理和回路69は比較回路61～68の出

力信号の論理和をとり、不一致信号165を出力する。不一致信号165は比較回路61～68の出力信号が一つでも“1”になると、つまりプログラムデータが1ビットでも異なる場合に“1”となる。

【0039】FF70は開始信号131の立上りエッジに同期してデータ一致信号166を“1”に、データ不一致信号163を“0”に初期化する。また、FF70は論理和回路69からの不一致信号165が“1”になるとリセットされ、データ一致信号166を“0”とし、データ不一致信号163を“1”とする。尚、FF70は一度リセットされると、以後出力状態を保持する。

【0040】論理積回路71は終了信号132と、アドレス判定信号151と、比較モード信号181と、データ一致信号166との論理積をとり、その結果を一致終了信号161として出力端子12に出力する。一致終了信号161は比較モードにおいてプログラム情報に対する比較判定動作を終了し、全てのプログラム情報が一致した時に“1”となる。

【0041】論理積回路72は終了信号132と、アドレス判定信号151と、比較モード信号181と、データ不一致信号163との論理積をとり、その結果を不一致終了信号162として出力端子13に出力する。不一致終了信号162は比較モードにおいてプログラム情報に対する比較判定動作を終了し、少なくともプログラム情報の一つが不一致となった時に“1”となる。

【0042】図4は図1のデータ記憶回路7の構成を示すブロック図である。図において、データ記憶回路7は出力Qのクリア機能を有し、クロック信号181の立下りエッジでデータ入力端子Dに与えられたデータをラッチするDフリップフロップ（以下FFとする）7a～7hで構成されている。ここで、PD0～PD7はデータバス164を介して供給されるデータ判定回路6の出力データの各ビットを示している。

【0043】FF7a～7hはデータ判定回路6の出力データPD0～PD7と、クロック信号181と、クリア信号193とを入力とする。FF7a～7hはクリア信号193が“0”の時にクロック信号181の立下りエッジに同期してデータ判定回路6の出力データPD0～PD7の情報を記憶する。また、クリア信号193が“1”の時にFF7a～7hの出力Qは“0”にリセットされる。

【0044】図5及び図6は本発明の一実施例の動作を示すタイミングチャートである。これら図1～図6を用いて本発明の一実施例の動作について説明する。

【0045】ここで、プログラムメモリ3は予め読出し禁止回路1によって読出し禁止状態に指定されているものとする。読出し禁止回路1から入出力制御回路2への読出し禁止信号101は“1”である。また、不一致データのチップ外部への出力を禁止するために許可信号

192が“0”であるとする、データ記憶回路7へのクリア信号193は“0”である。

【0046】上記のような状態のときのスタートアドレスの比較判定動作について、図5を用いて以下説明する。まず、プログラム情報の照合を行うため、比較モード信号182を“0”から“1”にすることで比較モードに設定する。

【0047】これによって、バイナリカウンタ4が“FFH”に初期化される。また、比較モード信号182が“1”であることによって、データ判定回路6は一致終了信号161及び不一致終了信号162のチップ外部への出力を許可する。

【0048】次に、2分周回路8からの分周信号183の立上りエッジに同期してチップ外部からプログラム情報、スタートアドレス“00H”、及びプログラムデータ“データA”を入力する。このとき同時に、バイナリカウンタ4は“00H”にインクリメントされる。

【0049】アドレスデコーダ3aはチップ外部から入力したスタートアドレスをデコードし、分周信号183の“1”の期間に同期して開始信号131を“1”にする。開始信号131が“1”になることで、アドレス判定回路5のFF60がセットされ、アドレス判定信号151が“1”になる。

【0050】また、開始信号131が“1”になることで、データ判定回路6のFF70がセットされ、データ一致信号166が“1”になるとともに、データ不一致信号163が“0”になる。

【0051】開始信号131が立下ると、アドレス判定回路5はバイナリカウンタ4の出力データA0～A7と外部入力アドレスデータB0～B7とを比較し、ともに“00H”で一致しているのでアドレス判定信号151の“1”を保持する。

【0052】また、データ判定回路6はプログラムメモリ3の出力データPD0～PD7と外部入力プログラムデータD0～D7とを比較し、ともに“データA”で一致しているのでデータ一致信号166の“1”とデータ不一致信号163の“0”とを夫々保持する。

【0053】ここで、終了信号132が“0”であるため、データ判定回路6の論理積回路71からの一致終了信号161は“0”であり、論理積回路72からの不一致終了信号162も“0”である。すなわち、チップ外部から最終アドレスまでのプログラム情報を入力しない限り、プログラム情報の比較判定結果をチップ外部で知ることはいない。

【0054】次に、最終アドレスまでアドレスデータ及びプログラムデータがともに一致した場合の動作について、図5を用いて以下説明する。尚、最終アドレスまでのプログラム情報の比較判定動作については上記のスタートアドレスの比較判定動作と同様であるので省略し、最終アドレスの比較判定動作について相違点のみを記述

する。

【0055】チップ外部から入力する最終プログラム情報“アドレスB、データC”はバイナリカウンタ4の出力データA0～A7及びプログラムメモリ3の出力データPD0～PD7と一致しているので、アドレス判定信号151が“1”となり、データ一致信号166が“1”となり、データ不一致信号163が“0”となる。

【0056】プログラムの最終アドレス“アドレスB”がアドレスデコーダ3aでデコードされることで、終了信号132が“1”となる。したがって、終了信号132の“1”の期間に同期してデータ判定回路6の論理積回路71の一致終了信号161が“1”となり、論理積回路72の不一致終了信号162が“0”となる。

【0057】すなわち、チップ外部から入力したプログラム情報とプログラムメモリ3の記憶情報とが一致していることをチップ外部で知ることができる。

【0058】また、最終アドレスにおいてプログラムデータのみが不一致の場合の動作について、図5を用いて以下説明する。尚、最終アドレスまでのプログラム情報の比較判定動作については上記のスタートアドレスの比較判定動作と同様であるので省略し、最終アドレスの比較判定動作について相違点のみを記述する。

【0059】この場合、チップ外部から入力する最終プログラム情報“アドレスD、データE”において、バイナリカウンタ4の出力データA0～A7の“アドレスD”は一致しているが、プログラムメモリ3の出力データPD0～PD7の“データH”は不一致である。したがって、アドレス判定信号151が“1”となり、データ一致信号166が“0”となり、データ不一致信号163が“1”となる。

【0060】また、プログラムの最終アドレス“アドレスD”がアドレスデコーダ3aでデコードされることで、終了信号132が“1”となる。したがって、終了信号132の“1”の期間に同期してデータ判定回路6の論理積回路71の一致終了信号161は“0”となり、論理積回路72の不一致終了信号162が“1”となる。

【0061】すなわち、チップ外部から入力したプログラム情報とプログラムメモリ3の記憶情報とにおいて、プログラムデータが不一致であることをチップ外部で知ることができる。

【0062】さらに、最終アドレスにおいてアドレスデータのみが不一致の場合の動作について、図5を用いて以下説明する。尚、最終アドレスまでのプログラム情報の比較判定動作については上記のスタートアドレスの比較判定動作と同様であるので省略し、最終アドレスの比較判定動作について相違点のみを記述する。

【0063】この場合、チップ外部から入力する最終プログラム情報“アドレスF、データG”において、バイ

ナリカウンタ4の出力データA0～A7の“アドレスG”は不一致であり、プログラムメモリ3の出力データPD0～PD7の“データG”は一致している。したがって、アドレス判定信号151が“0”となり、データ一致信号166が“1”となり、データ不一致信号163が“0”となる。

【0064】アドレス判定信号151が“0”になると、終了信号132が“1”となってもデータ判定回路6の論理積回路71の一致終了信号161は“0”を保持し、論理積回路72の不一致終了信号162も“0”を保持する。

【0065】すなわち、アドレス情報が不一致である場合、チップ外部から入力したプログラム情報とプログラムメモリ3の記憶情報との比較判定結果をチップ外部で知ることはできない。

【0066】上記の場合には許可信号192が“0”であり、データ記憶回路7へのクリア信号193が“1”となるため、データ記憶回路7の出力データは常に“00H”固定である。したがって、I/Oコントロール信号191の“0”の期間に同期してデータ入出力端子11には“00H”が出力される。

【0067】次に、図6を用いて許可信号192が“1”の場合について説明する。初期状態については上述した許可信号192が“0”の場合の動作と同様であり、許可信号192の状態が異なるのみである。

【0068】尚、データ記憶回路7へのクリア信号193はプログラムメモリ3の出力データPD0～PD7と外部入力プログラムデータD0～D7とに不一致が生じた場合にのみ“0”となり、これ以外は“1”固定である。したがって、すでに説明した場合と同様であるので、説明を省略する。

【0069】まず、最終アドレスにおいてプログラムデータのみに不一致の場合の動作について、図6を用いて以下説明する。尚、最終アドレスまでのプログラム情報の比較判定動作については上記のスタートアドレスの比較判定動作と同様であるので省略し、不一致データのデータ入出力端子11への出力動作について記述する。

【0070】この場合、チップ外部から入力する最終プログラム情報“データE”とプログラムメモリ3の出力データPD0～PD7の“データH”とが不一致である。したがって、データ不一致信号163が“1”となる。

【0071】このとき、データ記憶回路7へのクリア信号193は許可信号192が“1”なのでI/Oコントロール信号191の“0”の期間に同期して“0”となる。データ記憶回路7はクリア信号193が“0”の期間のクロック信号181の立下りエッジに同期してプログラムメモリ3の出力データPD0～PD7をラッチし、クロック信号181の“0”の期間、不一致データ“データH”をデータ入出力端子11に出力する。

【0072】すなわち、チップ外部から入力したプログラム情報とプログラムメモリ3の記憶情報とにおいて、プログラムデータが不一致である場合にのみ不一致を生じたプログラムメモリ3の記憶情報をチップ外部で知ることが可能となる。

【0073】上述したように、読出し禁止状態のプログラムメモリ3の記憶情報について、チップ外部からプログラム情報を入力することで照合することが可能となる。かつ、不一致を生じたプログラムデータをチップ外部に出力することができるので、不良解析時の原因の特定、つまり不良原因がプログラムメモリ3に起因するか否かの切り分けが容易となる。

【0074】また、プログラムメモリ3の記憶情報における不一致データのチップ外部への出力機能については特定端子に所定タイミングで信号を入力する必要がある。そのため、例え特定端子を特定することができてもその入力タイミングまでを特定することは難しい。したがって、この出力機能を第三者が使用することはほとんど不可能である。

【0075】よって、万が一、プログラム情報を知らない第三者がプログラムメモリ3の記憶情報を知ろうとする場合、上述の機能を用いたチップ外部への不一致データ出力を基にプログラムメモリ3の記憶情報を検索することはできない。

【0076】また、例え一致終了信号161の出力端子12、不一致終了信号162の出力端子13、クロック信号181の端子14、比較モード信号182の端子15等を特定することができた場合でも、プログラムデータ情報ばかりでなくアドレス情報についても全ての組合せについて試行する必要がある。よって、プログラムメモリ3の記憶情報の読出しには多大な時間を要することとなる。

【0077】例えば、プログラムメモリ3のアドレス幅が16ビットであり、1語が8ビット長である場合を考えてみる。この場合、プログラム容量が8語で1語の読出し時間が100nsであるとする、プログラムメモリ3の記憶情報を解読するまでに、 $65536^8 \times 256^8 \times 100 \times 10^{-8}$ (s)の時間だけ必要となり、年間に換算すると3.98×10⁴³年となる。

【0078】したがって、プログラム情報を知らない第三者がメモリ記憶情報を知ろうとしても実際には不可能である。すなわち、読出し禁止状態のプログラムメモリ3に対する記憶情報の照合方式として機密保護性が高く、かつ不良解析時には不一致データを容易に特定可能な方式を実現することができる。

【0079】図7は本発明の他の実施例のデータ記憶回路の構成を示すブロック図である。図において、本発明の他の実施例はデータ記憶回路をRSフリップフロップによって構成した以外は本発明の一実施例と同様の構成

となっている。すなわち、本発明の他の実施例によるデータ記憶回路は論理積回路 21~28 と RS フリップフロップ 29~36 とから構成されている。

【0080】論理積回路 21~28 はデータバス 164 を介して入力されるデータ判定回路 6 からの出力データ PD0~PD7 とクロック信号 181 とを入力とし、クロック信号 181 が“0”の期間、出力データ PD0~PD7 を RS フリップフロップ 29~36 のセット入力 S に供給する。

【0081】したがって、RS フリップフロップ 29~36 においては出力データ PD0~PD7 のうち“1”であるビットに対応するもののみに“1”がセットされ、そのビットに対応するものの出力 Q が“1”となる。すなわち、クロック信号 152 が“0”の期間においてプログラムメモリ 3 の出力データ PD0~PD7 をデータバス 171 に供給する。

【0082】また、RS フリップフロップ 29~36 のリセット入力 R にはクリア信号 193 が接続されており、クリア信号 193 が“1”になると RS フリップフロップ 29~36 はリセットされ、その出力 Q は“0”となる。

【0083】上述した動作によって、本発明の他の実施例のデータ記憶回路を用いたときのプログラム情報の比較判定動作を示す動作タイミングチャートは図 5 及び図 6 に示すタイミングとまったく同一である。

【0084】したがって、データ記憶回路はどのような回路でも構成可能であり、本発明の一実施例及び他の実施例の構成に限定されない。また、アドレス情報の比較判定にバイナリカウンタ 4 からの連続アドレスを用いているが、LFSR (リニアフィードシフトレジスタ) による不連続アドレスを用いることも可能であり、これに限定されない。

【0085】このように、アドレス判定回路 5 及びデータ判定回路 6 によるチップ外部からのプログラムデータ情報の判定に加え、アドレス判定回路 5 においてチップ外部から入力するアドレス情報をチップ内部で発生するアドレス情報と比較判定し、この比較判定が不一致である場合にデータ判定回路 6 がチップ外部に出力する最終結果信号の出力を禁止し、かつデータ判定回路 6 によるデータ判定結果が異なる場合にのみプログラムメモリ 2 の出力データをデータ記憶回路 7 に記憶してチップ外部に出力することによって、読出し禁止状態のプログラムメモリ 3 の記憶情報の機密保護性をさらに向上させることができる。

【0086】また同時に、チップ外部からプログラム情

報を入力することによって、プログラムメモリ 3 の記憶情報を照合することが可能であり、かつチップ外部から入力したプログラムデータ情報が不一致である場合にのみその内容を知ることができる。

【0087】

【発明の効果】以上説明したように本発明によれば、プログラムメモリの記憶内容の外部への出力が禁止された状態で外部から入力された外部アドレス情報が終了アドレス情報か否かを検出し、この終了アドレス情報が検出されたときに記憶内容と外部から入力された外部プログラムデータとの比較判定結果を外部に出力するとともに、内部で発生するアドレス情報と外部アドレス情報とを比較判定し、この比較判定結果が不一致のときに記憶内容と外部プログラムデータとの比較判定結果の外部への出力を禁止し、記憶内容と外部プログラムデータとの比較判定結果が不一致のときに外部アドレス情報に対応する記憶内容を格納して外部に出力することによって、機密保護性を向上させることができ、プログラムメモリ記憶情報の照合を可能とすることができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成を示すブロック図である。

【図 2】図 1 のアドレス判定回路の構成を示すブロック図である。

【図 3】図 1 のデータ判定回路の構成を示すブロック図である。

【図 4】図 1 のデータ記憶回路の構成を示すブロック図である。

【図 5】本発明の一実施例の動作を示すタイミングチャートである。

【図 6】本発明の一実施例の動作を示すタイミングチャートである。

【図 7】本発明の他の実施例のデータ記憶回路の構成を示すブロック図である。

【符号の説明】

1 読出し禁止回路

3 プログラムメモリ

3a アドレスデコーダ

40 4 バイナリカウンタ

5 アドレス判定回路

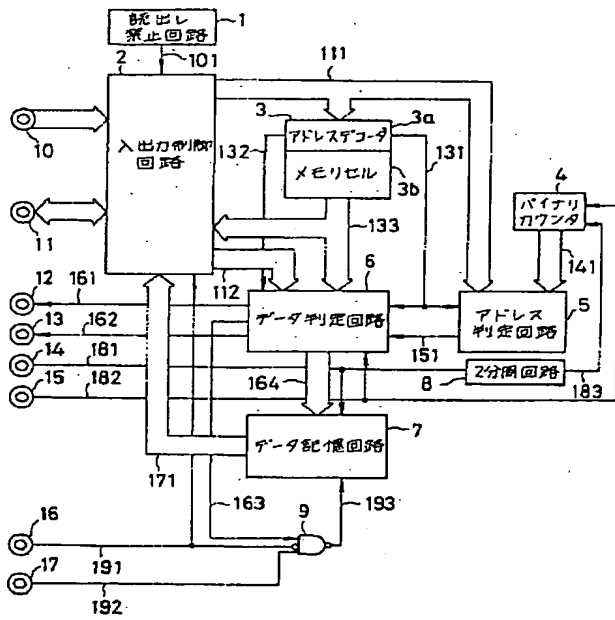
6 データ判定回路

7 データ記憶回路

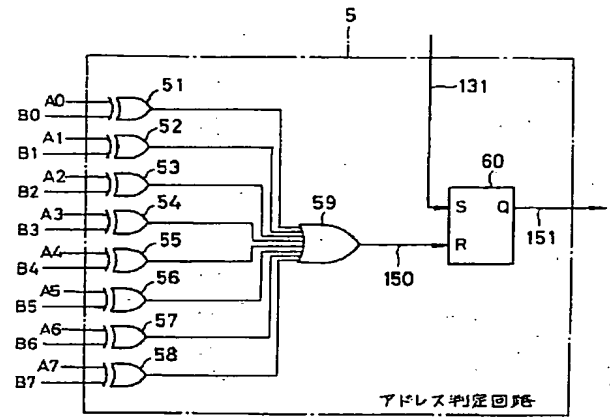
12, 13 出力端子

14~17 端子

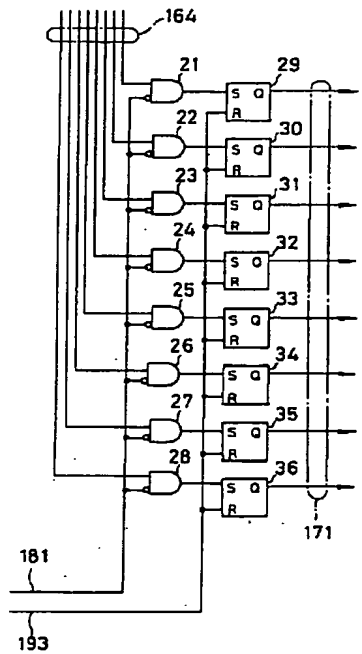
【図 1】



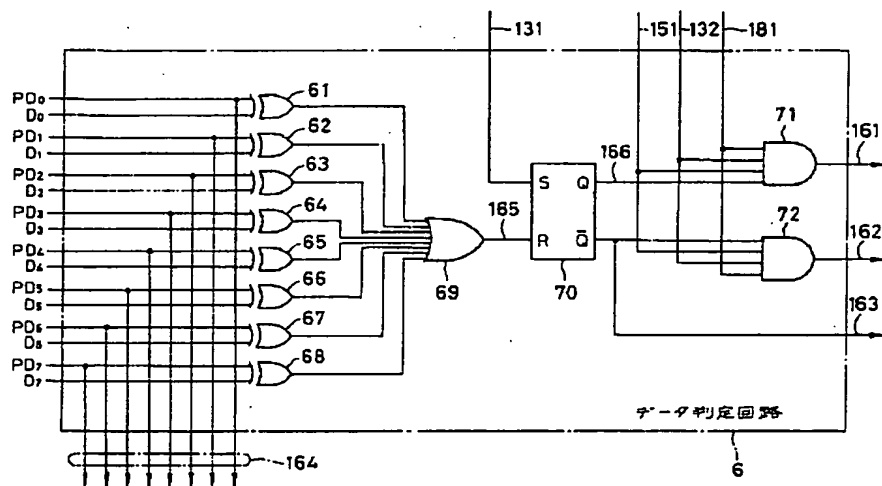
【図 2】



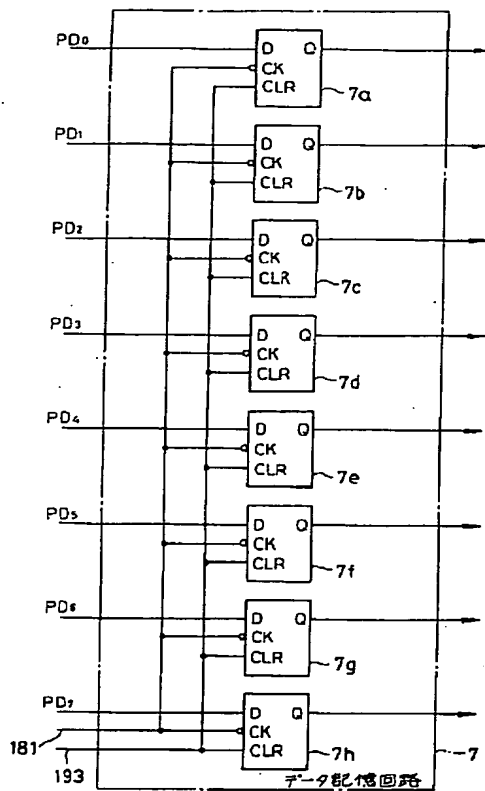
【図 7】



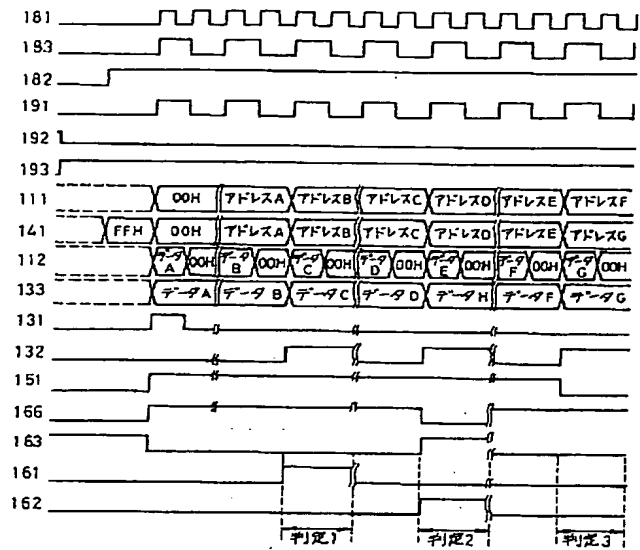
【図 3】



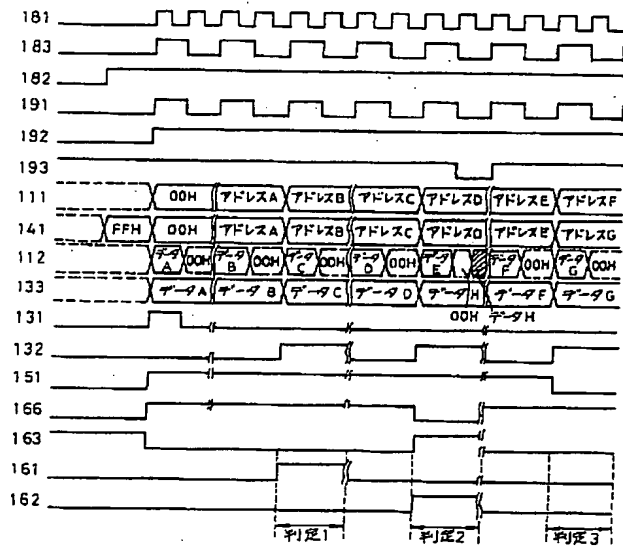
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)